

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2002064840 A

(43) Date of publication of application: 28.02.02

(51) Int. Cl

**H04N 9/64**  
**H04N 5/46**  
**H04N 9/66**

(21) Application number: 2000252185

(22) Date of filing: 23.08.00

(71) Applicant SONY CORP

(72) Inventor: KOMORI KENJI

**(54) DECODER FOR VIDEO SIGNAL AND METHOD  
FOR OPTIMIZING LINE FREQUENCY IN  
DECODING**

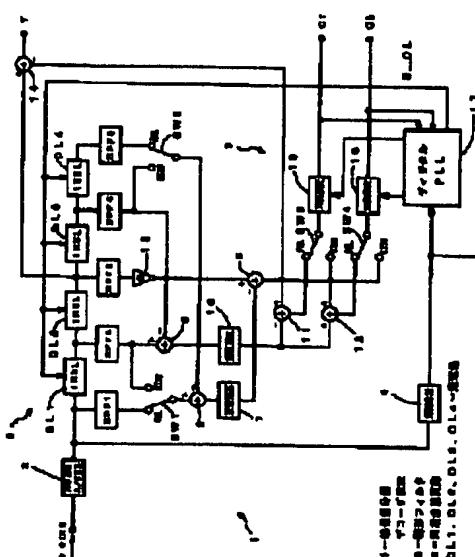
to variable control in order to cancel or reduce the shift.

COPYRIGHT: (C)2002,JPO

## (57) Abstract:

**PROBLEM TO BE SOLVED:** To obtain a decoder for video signal employing a free run clock in which the image quality is enhanced by calculating a line frequency for optimizing the line correlation when constituting an Y/C separation comb filter thereby regulating the delay per one delay line automatically to a proper value.

**SOLUTION:** In the decoder for video signal 1, a composite video signal is converted into a digital signal which is then separated through a comb filter into a luminance signal and a color signal. The decoder for video signal 1 comprises a circuit 4 for separating a sync signal and determining the average value of line frequency  $f_h$  from a separated horizontal sync signal, and a circuit for demodulating a carrier color signal separated through the comb filter. Shift of sampling point is calculated for the composite video signal from the average value of line frequency  $f_h$  and the delay (current value) of a delay line constituting the comb filter and then the delay of the delay line is subjected



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2002-64840  
(P2002-64840A)

(43)公開日 平成14年2月28日 (2002.2.28)

(51)Int.Cl.  
H 04 N 9/64  
5/46  
9/66

識別記号

F I  
H 04 N 9/64  
5/46  
9/66

テマコト<sup>\*</sup> (参考)  
S 5 C 0 2 5  
5 C 0 6 6  
C

審査請求 未請求 請求項の数7 OL (全16頁)

(21)出願番号 特願2000-252185(P2000-252185)

(22)出願日 平成12年8月23日 (2000.8.23)

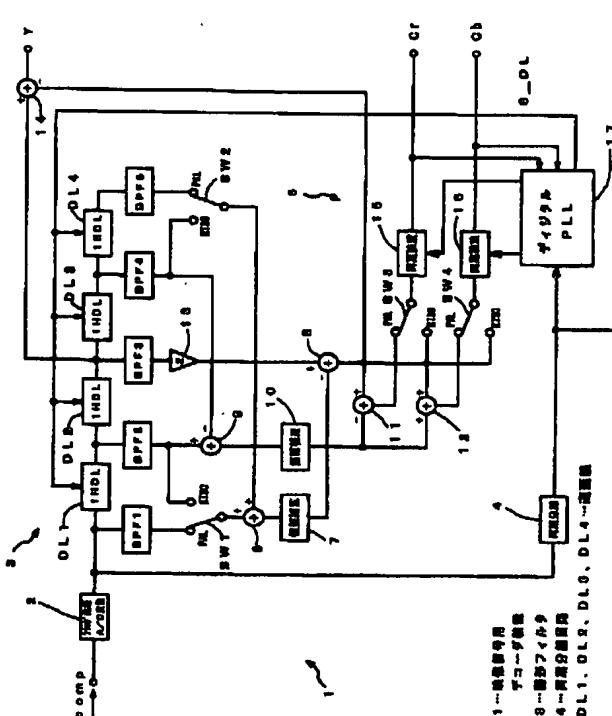
(71)出願人 000002185  
ソニー株式会社  
東京都品川区北品川6丁目7番35号  
(72)発明者 小森 賢二  
東京都品川区北品川6丁目7番35号 ソニ  
一株式会社内  
(74)代理人 100069051  
弁理士 小松 祐治  
Fターム(参考) 5C025 BA06 BA13 BA20 BA25 DA08  
5C066 AA03 BA02 BA03 DB07 DC02  
GA02 GA03 GA04 GA05 GA13  
HA02 HA03 KA08 KB03 KB05  
KC02 KC11 KE05 KE19 KP03  
KG01 KG08

(54)【発明の名称】 映像信号用デコード装置及びデコード処理におけるライン周波数の最適化方法

(57)【要約】

【課題】 フリーランクロックを用いた映像信号用デコ  
ード装置において、Y/C分離樹形フィルタを構成する  
場合に、ライン相関関係が最適となるライン周波数を算  
出して1遅延線当たりのディレイ量を適正值に自動調整  
することで画質を向上させる。

【解決手段】 映像信号用デコーダ装置1において、複  
合映像信号をデジタル信号に変換してから樹形フィル  
タで輝度信号と色信号とに分離する。そして、同期信号  
を分離するとともに、分離された水平同期信号からライ  
ン周波数  $f_h$  の平均値を求める同期分離回路4と、樹形  
フィルタにより分離された搬送色信号を復調するための  
色復調回路を設ける。ライン周波数  $f_h$  の平均値と、樹  
形フィルタを構成する遅延線のディレイ量(現在値)と  
から複合映像信号に対するサンプリングポイントのずれ  
量を算出してこれを相殺し又は低減するために遅延線の  
ディレイ量を可変制御する。



## 【特許請求の範囲】

【請求項1】 フリーランクロックを用いて、入力された複合映像信号に対するサンプリング処理を行った後、デコード処理を行う映像信号用デコーダ装置において、上記複合映像信号をデジタル信号に変換するためのアナログーディジタルコンバータと、上記アナログーディジタルコンバータの出力信号を受けて、当該信号から輝度信号と色信号を分離するための樹形フィルタと、上記複合映像信号から同期信号を分離するとともに、分離された水平同期信号からライン周波数 $f_h$ の平均値を求める同期分離回路と、上記樹形フィルタにより分離された搬送色信号を復調するための色復調回路と、上記ライン周波数 $f_h$ の平均値と、上記樹形フィルタを構成する遅延線に係る現時点でのディレイ量とから複合映像信号に対するサンプリングポイントのずれ量を算出してこれを相殺し又は低減するために遅延線のディレイ量を可変制御するディレイ量制御手段とを設けたことを特徴とする映像信号用デコーダ装置。

【請求項2】 請求項1に記載した映像信号用デコーダ装置において、

色復調回路が同期検波回路及び位相同期ループ回路を備えており、

樹形フィルタで分離された搬送色信号に対して位相同期ループ回路がロック状態となったときの色副搬送波周波数と、位相同期ループ回路内の発振回路により発生される内部発振信号の初期周波数 $f_{sc0}$ との間の周波数差を検出し、当該周波数差に基づいて搬送波周波数 $f_{sc}$ とライン周波数 $f_h$ との規定関係についてのずれ量を求めてこれをサンプリングポイントのずれ量に加算した結果に応じてディレイ量制御手段が遅延線のディレイ量を可変制御することを特徴とする映像信号用デコーダ装置。

【請求項3】 請求項2に記載した映像信号用デコーダ装置において、

内部発振信号の初期周波数 $f_{sc0}$ がライン周波数 $f_h$ の平均値又は現時点における遅延線のディレイ量に基づいて決定されることを特徴とする映像信号用デコーダ装置。

【請求項4】 フリーランクロックを用いて、入力された複合映像信号に対するサンプリング処理を行った後でデコード処理を行う際の、デコード処理におけるライン周波数の最適化方法において、

上記複合映像信号をデジタル信号に変換した後、当該信号から輝度信号と色信号を樹形フィルタにより分離するとともに、同期分離回路により同期信号を分離し、分離された水平同期信号からライン周波数 $f_h$ の平均値を求め、

上記ライン周波数 $f_h$ の平均値と、上記樹形フィルタを構成する遅延線に係る現時点でのディレイ量から複合映像信号に対するサンプリングポイントのずれ量を算出し

てこれを相殺し又は低減するために遅延線のディレイ量を可変制御することを特徴とするデコード処理におけるライン周波数の最適化方法。

【請求項5】 請求項4に記載したデコード処理におけるライン周波数の最適化方法において、

樹形フィルタで分離された搬送色信号に対する復調に、位相同期ループ方式の同期検波を用いるとともに、位相同期ループ回路が位相ロック状態となったときの色副搬送波周波数と、位相同期ループ回路内の発振回路により発生される内部発振信号の初期周波数との間の周波数差 $\Delta f_{sc}$ を検出し、

当該周波数差 $\Delta f_{sc}$ に基づいて搬送波周波数 $f_{sc}$ とライン周波数 $f_h$ との規定関係についてのずれ量を求めて、これをサンプリングポイントのずれ量に加算し、この加算結果を相殺し又は低減するように遅延線のディレイ量を可変制御することを特徴とするデコード処理におけるライン周波数の最適化方法。

【請求項6】 請求項5に記載したデコード処理におけるライン周波数の最適化方法において、

20 内部発振信号の初期周波数 $f_{sc0}$ を、ライン周波数 $f_h$ の平均値又は現時点における遅延線のディレイ量に基づいて決定することを特徴とするデコード処理におけるライン周波数の最適化方法。

【請求項7】 請求項6に記載したデコード処理におけるライン周波数の最適化方法において、

内部発振信号の初期周波数 $f_{sc0}$ を、現時点における遅延線のディレイ量に基づいて決定する場合には、遅延線のディレイ量とライン周波数 $f_h$ の平均値との差から求まるサンプリングポイントのずれ量を参照することにより、周波数差 $\Delta f_{sc}$ に起因する位相ずれについて推定される複数の候補のうち、上記ずれ量から大きく外れないものを正当と判定することを特徴とするデコード処理におけるライン周波数の最適化方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、映像信号のデコード処理にフリーランクロックを用いたシステムにおいてY/C分離用樹形フィルタを構成する場合に、常に最適なライン周波数が得られるように、樹形フィルタを構成する遅延線の遅延量を自動調整することで当該樹形フィルタの性能を最大限に發揮させ、Y/C分離性能や画質を向上させるための技術に関する。

## 【0002】

【従来の技術】 NTSC (National Television System Committee) 方式やPAL (Phase Alternation by Line) 方式のコンポジット信号(複合映像信号)を輝度信号(Y)及び色信号(Cr, Cb)に、あるいはRGB信号に変換するデコーダ回路が知られている。例えば、クロック信号をライン周波数(水平線周波数)や搬送波に同期させて発生させるシステムの場合(所謂テ

インロック方式では、複合映像信号中の水平同期信号に同期し、1水平走査期間「1H」中でのサンプリング用クロックを生成する。)には、アナログ構成のクロック信号生成回路が必要となりデコーダ用ICの構成が複雑化したり(1チップ化しにくい等の不都合がある。)、外付け部品を必要とする分コスト面で不利になる。

【0003】そこで、フリーラン(自走発振式)クロックシステムが提案されており、この場合には本システムにおいて樹形フィルタを如何にして実現するかが焦点となる。

【0004】図13は3ライン型樹形フィルタの構成例aを示したものである。

【0005】入力端子bに供給される複合映像信号「comp」が初段の遅延線d1に送られるとともに、加算器cに供給される。

【0006】遅延線d1の出力信号については、3つに分岐して、その1つが後段の遅延線d2に送出される。そして、残り2つの信号のうちの1つが加算器eに送出され、他方が係数「2」の乗数器fを介して加算器cに送られる。

【0007】また、遅延線d2の出力信号は加算器cに送られるが、当該加算器cは3入力1出力とされていて、乗数器fの出力信号から入力信号「comp」や遅延線d2の出力信号を引き算したものを出力として乗数器gに送出する。

【0008】乗数器gの係数は「1/4」であり、当該乗数器は加算器cからの信号に対して当該係数を掛け算した出力を出力端子hに送出するとともに、加算器eに送る。

【0009】加算器eは2入力1出力とされ、遅延線d1の出力信号から乗数器gの出力信号を引き算した出力を出力端子iに出力する。

【0010】尚、図では遅延線d1、d2について「1H/2HDL」と記しているが、これは、各遅延線の遅延量がNTSC方式の場合「1H」であり、PAL方式の場合に「2H」であることを意味する(これは、PAL方式においてR-Y信号については走査線毎に位相反転してこれとB-Y信号とで副搬送波を直角変調しているので、1つ飛びの2ラインについて相関をとる必要性に依拠する。)。

【0011】樹形フィルタの原理は、前後のライン相関を利用したものであり、NTSC信号のY/C分離についてみると、複合映像信号中の色副搬送波がライン毎に位相反転した関係になっていること及びテレビ信号では比較的V(垂直)方向の相関性が高いことを利用して、あるライン(現ライン)を基準として前後のライン(過去及び未来のライン)の信号を足し引きすることで色副搬送波を取り出すことができる。

【0012】図14はその説明図であり、同図の左側に3ラインについての搬送波(色副搬送波)を概略的に示

している。尚、各波形は、第「n+1(2)」ライン、第nライン、第「n-1(2)」ラインについてそれぞれ示しており、(2)はPAL方式の場合である。つまり、NTSC方式ではn+1、n、n-1の3ラインの信号が使用され、PAL方式では、n+2、n、n-2の3ラインが使用される。

【0013】また、右側の図は第nラインを基準とした各ラインの搬送波信号の位相関係を示したベクトル図である。第nラインの信号について横軸の右方向を向いたベクトル「V(n)」としているので、第「n+1(2)」ラインや第「n-1(2)」ラインの各搬送波を示すベクトル「V(n±1(2))」は横軸上においてV(n)とは反対方向(図の左方向)を向いている。

【0014】よって、各ラインの搬送波について位相を揃えた上で足し合わせて平均化することで色副搬送波を得ることができる。図13では、遅延線d1の出力信号を2倍したものから入力信号「comp」及び遅延線d2の出力信号を引く(「-1」倍することにより位相反転して加算することと等価である。)ことにより位相の揃った4倍分の信号が得られるので、これに乗数器gの「1/4」を乗じることで振幅を規定レベルにしたクロマ信号成分「C」を得ることができる。尚、輝度信号「Y」については遅延線d1から出力される複合映像信号からクロマ信号成分を差し引いたものとして得られる。

【0015】ところで、このような樹形フィルタを用いたデコードシステムをフリーランクロックで実現する手法については、例えば、特開平11-355799号公報に示されており、これにはライン間の相関関係によって生じる振幅を補正することで性能を向上させようとした構成が示されている。

#### 【0016】

【発明が解決しようとする課題】しかしながら、従来の回路では、信号の振幅補正に際して位相差が大きくなると補正量が増加し、画質を損なう虞があるという問題が生じる。

【0017】これは、フリーランクロックシステムにおいて、サンプリングポイントのずれと、f<sub>sc</sub>(色副搬送波周波数)とf<sub>h</sub>(水平線周波数)との間の規定関係におけるずれが問題となり、両者が足し合わされることにより合計のずれ量が大きくなってしまうことに起因する。

【0018】図15はサンプリングポイントの位相ずれとライン間の関係について示すものであり、同図の左側に3ラインについての搬送波を概略的に示し、図の右側には第nラインを基準とした各ラインの搬送波信号の位相関係をベクトル図として示している。尚、各ラインの意味等については図14において説明した通りである。

【0019】この例では、第nラインの搬送波に対して第「n+1(2)」ラインの搬送波が「-α」の位相ず

れをもち、また、第nラインの搬送波に対して第「n-1(2)」ラインの搬送波が「+ $\alpha$ 」の位相ずれをもっている。例えば、入力信号について1ライン当たりの（サンプリング）クロック数が858.5であるとした時、1H遅延線のディレイ量（遅延量）を858クロック分とすると、両者の差、0.5クロック分の誤差が生じることになる（つまり、この場合の $\alpha$ は0.5クロック分の位相差に相当する。）。

【0020】よって、ベクトル図において、第「n+1(2)」ラインの搬送波については、ベクトル「V(- $\alpha$ )」に示すように、ベクトル「V(n)」の反相軸（「-V(n)」を含む横軸）に対して $\alpha$ だけ位相が遅れ、また、第「n-1(2)」ラインの搬送波については、ベクトル「V(+ $\alpha$ )」に示すように、ベクトル「V(n)」の反相軸に対して $\alpha$ だけ位相が進んでいることが分かる。

【0021】図16はライン周波数と色副搬送波周波数との間の規定関係に関する誤差について説明するための図であり、同図の左側に3ラインについての搬送波を概略的に示し、図の右側には第nラインを基準とした各ラインの搬送波信号の位相関係をベクトル図として示している。尚、各ラインの意味等については図14において説明した通りである。

【0022】図示するように、第nラインの搬送波に対して第「n+1(2)」ラインの搬送波が「- $\beta$ 」の位相ずれをもち、また、第nラインの搬送波に対して第「n-1(2)」ラインの搬送波が「+ $\beta$ 」の位相ずれをもっている。例えば、NTSC方式では、「f<sub>sc</sub>=910/4·f<sub>h</sub>」の関係がフォーマット上で規定され、樹形フィルタについてもこれを前提として構成されるが、信号によっては、「f<sub>sc</sub>=(910/4+ $\beta$ )·f<sub>h</sub>」のように、誤差が生じる。

【0023】よって、ベクトル図において、第「n+1(2)」ラインの搬送波については、ベクトル「V(- $\beta$ )」に示すように、ベクトル「V(n)」の反相軸（「-V(n)」を含む横軸）に対して $\beta$ だけ位相が遅れ、また、第「n-1(2)」ラインの搬送波については、ベクトル「V(+ $\beta$ )」に示すように、ベクトル「V(n)」の反相軸に対して $\beta$ だけ位相が進んでいることが分かる。

【0024】図17は、図15や図16に示した位相ずれを合計した誤差が位相ずれとして発生する様子を示したものである。

【0025】左図に示すように、第nラインの搬送波に対して第「n+1(2)」ラインの搬送波が「-( $\alpha+\beta$ )」の位相ずれをもち、また、第nラインの搬送波に対して第「n-1(2)」ラインの搬送波が「+( $\alpha+\beta$ )」の位相ずれをもっており、右側のベクトル図において、第「n+1(2)」ラインの搬送波については、ベクトル「V(-(α+β))」に示すように、ベクト

ル「V(n)」の反相軸（「-V(n)」を含む横軸）に対して「 $\alpha+\beta$ 」だけ位相が遅れ、また、第「n-1(2)」ラインの搬送波については、ベクトル「V(+ $(\alpha+\beta)$ )」に示すように、ベクトル「V(n)」の反相軸に対して「 $\alpha+\beta$ 」だけ位相が進んでいることが分かる。

【0026】例えば、上記 $\alpha$ の位相誤差（サンプリングポイントのずれに起因する。）が0.5クロック分であって、上記 $\beta$ の位相誤差（f<sub>sc</sub>とf<sub>h</sub>との関係が規定式からずれることに起因する。）が0.3クロック分である仮定すると、合計で0.8クロック分のずれとなる。この場合に、例えば、1H遅延線のディレイ量を1クロック分だけずらすことによって「1-0.8=0.2」クロック分に縮小する（理想的にはずれ量をゼロに補正することが望ましい。）ような手段を講じる必要があるが、従来の回路にはその機能がないか又は回路設計により位相ずれを調整する方法に止まっている。

【0027】そこで、本発明は、フリーランクロックを用いた映像信号用デコーダ装置において、Y/C分離樹形フィルタを構成する場合に、ライン相関関係（相関性）が最適となるライン周波数を算出して1遅延線当たりのディレイ量を適正值に補正することを課題とする。

【0028】【課題を解決するための手段】本発明は上記した課題を解決するために、複合映像信号をデジタル信号に変換した後、当該信号から輝度信号と色信号を樹型フィルタにより分離するとともに、同期分離回路により同期信号を分離し、分離された水平同期信号からライン周波数f<sub>h</sub>の平均値を求めて、これと、樹型フィルタを構成する30遅延線に係る現時点でのディレイ量とから複合映像信号に対するサンプリングポイントのずれ量を算出して当該ずれ量を相殺し又は低減するために遅延線のディレイ量を可変制御するものである。

【0029】そして、本発明では、樹型フィルタで分離された搬送色信号に対する復調処理において位相同期ループ方式の同期検波を用いるとともに、位相同期ループ回路がロック状態となったときの色副搬送波周波数と、位相同期ループ回路内の発振回路により発生される内部発振信号の初期周波数との間の周波数差△f<sub>sc</sub>を検出し、当該周波数差に基づいて搬送波周波数f<sub>sc</sub>とライン周波数f<sub>h</sub>との規定関係についてのずれ量を求めて、これをサンプリングポイントのずれ量に加算し、この加算結果を相殺し又は低減するように遅延線のディレイ量を可変制御する。

【0030】従って、本発明によれば、フリーランクロックを用いた映像信号用デコーダ装置において、Y/C分離樹形フィルタを構成する場合に、サンプリングポイントの位置ずれについてはライン周波数の平均値と、遅延線のディレイ量（現在値）とから検出し、また、f<sub>sc</sub>とf<sub>h</sub>との規定関係に係る周波数ずれについては周波数

差 $\Delta f_{sc}$ から検出し、これらのずれによる誤差の影響を打ち消し又は低減するように遅延線のディレイ量を補正することにより、ライン周波数を常に適正化することができる。

#### 【0031】

【発明の実施の形態】本発明は、フリーランクロックを用いて、入力された複合映像信号に対するサンプリング処理を行った後、デコード処理を行う映像信号用デコーダ装置に関するものである。

【0032】図1は本発明に係る基本構成を示したものであり、デコーダ装置1の概要を示す。

【0033】本装置は下記に示す構成要素を具備しており（括弧内の数字は各要素に付した符号を示す。）、複合映像信号（図にはコンポジットベースバンド信号「comp」と記す。）をY/C分離して、輝度（Y）信号、色信号（Cr、Cb）、同期信号（Sync）として取り出すための構成例を示している。

#### 【0034】

- ・アナログ処理及びアナログ-デジタル変換部（2）
- ・Y/C分離及び色樹形フィルタ部（3）
- ・同期分離回路（4）
- ・クロマデコード部（5）

尚、図にはアナログ-デジタルを「A/D」と略記している。

【0035】先ず、アナログ信号である複合映像信号「comp」は、アナログ処理及びアナログ-デジタル変換部2に入力されるが、ここでは、振幅処理、クランプ処理、エリアスフィルタ処理等が行われた後、アナログ-デジタルコンバータ（図示せず。）を経てデジタル信号に変換される。そして、当該信号はY/C分離及び色樹形フィルタ部3及び同期分離回路4に送られる。尚、複合映像信号をデジタル信号に変換するためのアナログ-デジタルコンバータには、図示しないクロック信号発生回路からのサンプリングクロックが供給されて当該クロックに同期したサンプリング処理及び量子化処理が行われるが、本発明ではフリーランクロックシステムを前提としているので、当該クロックを同期信号や搬送波信号に同期させて生成する必要はない。

【0036】Y/C分離及び色樹形フィルタ部3では、樹形フィルタや帯域フィルタを使用してY（輝度）信号とC（クロマ）信号に分離する。尚、樹形フィルタに使用する1H遅延線の数を減らすためには、Y/C分離樹形フィルタと色樹形フィルタの処理を同時にを行うことが好ましいが、その詳細については図2において説明する。

【0037】分離されたC信号は、クロマデコード部5に送られるが、これには、樹形フィルタにより分離された搬送色信号を復調するための色復調回路が設けられているので、ここでCb、Crの各信号に分離・検波される。尚、これらの色成分信号（色差信号）は同期検波さ

れた信号である。

【0038】同期分離回路4は、アナログ処理及びアナログ-デジタル変換部2からのデジタル信号を受けて、当該信号から同期信号を分離するとともに、分離された水平同期信号からライン周波数f\_hの平均値を求める役割を有する。尚、取り出されたH（水平）、V（垂直）の各同期信号（図にはこれらをまとめて「Sync」と記す。）は出力端子から出力されるとともに、クロマデコード部5に送出される。

【0039】本発明では、例えば、同期分離された同期信号に基づいてクロマデコード部5内のPLL（位同期ループ）回路の初期発振周波数を決定し、その後同回路によるPLL処理によって入力色副搬送波と同期を取る。こうして求められる色副搬送波周波数から適正なライン周波数を求めて、この周波数をY/C分離及び色樹形フィルタ部3にフィードバックして、樹形フィルタを構成する遅延線の遅延量を制御することで、前記した位相ずれ量が最小又はゼロになるように位相補正を行うものである。つまり、この補正のために、クロマデコード部5からY/C分離及び色樹形フィルタ部3内の遅延線に対して制御信号「S\_DL」が送出される。

【0040】図2は図1に示した構成のうち、Y/C分離及び色樹形フィルタ部3及びクロマデコード部5の構成例についてその詳細を示したブロック図である。尚、図にはNTSC、PALの両方式に適用できるようにした構成を示している。

【0041】図示するように、樹形フィルタを構成する4つの1H遅延線DL1、DL2、DL3、DL4が縦列接続されており、初段の1H遅延線DL1にアナログ処理及びアナログ-デジタル変換部2の出力信号が供給される。尚、各1H遅延線には、例えば、後述するメモリ素子を用いた回路構成やCCD（電荷結合素子）型遅延素子を使った構成等が挙げられる。

【0042】1H遅延線DL1の出力が次段の1H遅延線DL2に送出されるとともに、該1H遅延線DL2の出力が1H遅延線DL3及び加算器14に送られる。

【0043】そして、1H遅延線DL3の出力が最終段の1H遅延線DL4に送られるので、遅延なしのラインと遅延線DL1乃至DL4による4ライン（遅延ライン）とで合計5ラインの信号が得られるが、これはNTSCとPALの両方式への対応を考慮したものであり、各方式について必要なのはそのうちの3ラインである。

【0044】1H遅延線DL1乃至DL4に対して、5つの帯域通過フィルタ（バンドパスフィルタ）BPF1乃至5が設けられており、そのうちBPF1には、アナログ処理及びアナログ-デジタル変換部2においてデジタル化された信号（データ）が供給される。また、BPF2には1H遅延線DL1の出力信号が供給され、BPF3には1H遅延線DL2の出力信号が供給される。そして、BPF4には1H遅延線DL3の出力信号

が供給され、BPF5には1H遅延線DL4の出力信号が供給される。

【0045】SW1乃至SW4は方式切換用スイッチ部であり、NTSC方式とPAL方式との切換信号に応じた2つの切換状態の一方が手動若しくは回路設定、あるいは自動（放送方式の検出結果による切換制御）で選択される。

【0046】例えば、スイッチ部SW1では、2つの入力端子のうち、その一方の端子がBPF1の出力端子に接続されており、他方の端子がBPF2の出力端子に接続されていて、PAL方式のときに前者が選択され、NTSC方式のときに後者が選択される。また、スイッチ部SW2については、その2つの入力端子のうちの一方の端子がBPF4の出力端子に接続され、他方の端子がBPF5の出力端子に接続されていて、NTSC方式のときに前者が選択され、PAL方式のときに後者が選択されるようになっている。

【0047】方式切換用スイッチSW1、SW2でそれぞれ選択された信号は加算器6に送られて足し合わされた後に、振幅補正部7で補正されてから加算器8に送られる。

【0048】また、BPF2及びBPF4の各出力信号は加算器9に送られるが、BPF2の出力信号が正入力とされ、BPF4の出力信号が負入力とされるので、前者の信号から後者の信号が引き算され、これが振幅補正部10で補正されてから加算器11及び加算器12に送られる。

【0049】BPF3の出力信号は、係数「2」の乗数器13に送られて2倍に増幅された後で加算器8に送られるが、該加算器においては乗数器13の出力信号が正入力とされ、振幅補正部7の出力信号が負入力とされるので、前者の信号から後者の信号が引き算された結果が出力される。つまり、この結果は、NTSC方式の場合には、1H遅延線DL2の出力信号（BPF3後の出力）を2倍したものから、これよりも1H前の信号と1H後の信号との加算結果を引いたものに相当し、また、PAL方式の場合には、1H遅延線DL2の出力信号（BPF3後の出力）を2倍したものから、これよりも2H前の信号と2H後の信号との加算結果を引いたものに相当する。

【0050】加算器8の出力信号はSW3、SW4の一方の入力端子にそれぞれ供給されるとともに、加算器11、12、14にそれぞれ供給される。

【0051】加算器11においては、加算器8の出力信号が正入力とされ、振幅補正部10の出力信号が負入力とされるので、前者の信号から後者の信号が引き算され、その結果がスイッチ部SW3の残りの入力端子に送られる。SW3ではPAL方式の場合に当該入力端子が選択され、またNTSC方式の場合には他方の入力端子が選択されて加算器8の出力信号が選ばれて同期検波回

路15に送出される。

【0052】また、加算器12においては、加算器8の出力信号、振幅補正部10の出力信号とともに正入力とされるので、両者の信号が足し算され、その結果がスイッチ部SW4の残りの入力端子に送られる。SW4ではPAL方式の場合に当該入力端子が選択され、またNTSC方式の場合には他方の入力端子が選択されて加算器8の出力信号が選ばれて同期検波回路16に送出される。

【0053】尚、加算器11、12での処理は、PAL方式においてR-Y信号だけがライン毎に位相反転されることに依る（2つの色成分について位相の揃え方に違いがある。）。

【0054】デジタルPLL部17は、同期分離回路4からの同期信号が入力されるとともに、同期検波回路15、16の各出力を受けて位相検波を行い、内部発振信号を生成してこれを同期検波回路15、16に送出したり、各1H遅延線DL1乃至DL4に対する制御信号「S\_DL」を送出してそれらのディレイ量（遅延量）を制御するが、その詳細については後述する。

【0055】尚、本例では2軸復調の構成とされており、同期検波回路15（R-Y軸復調用の回路であり、平衡検波回路や低域通過フィルタを含む。）の出力信号が「Cr」であり、また、B-Y軸復調用の同期検波回路16の出力信号が「Cb」である。勿論、これに限らず3軸復調や他の復調軸、X軸、Z軸復調等への適用も可能である。

【0056】加算器14には、1H遅延線DL2の出力信号と加算器8の出力信号が送られてくるが、前者に対して正入力とされ、後者に対して負入力されているので、複合映像信号から色信号が取り除かれた輝度信号「Y」が得られ、当該信号が加算器14から出力される。

【0057】図3乃至図5は同期分離処理について説明するためのものであり、図3に示すように同期分離回路4は、低域通過フィルタ（LPF）4aと、スライス処理部4bを備えている。

【0058】図4は各信号波形をアナログ信号として概念的に示したものであり、記号の意味は下記に示す通りである。

【0059】・信号「Sin」=入力信号（つまり、コンポジット信号）

・信号「S4a」=低域通過フィルタ4aの出力信号

・信号「S4b」=スライス処理部4bの出力信号（同期信号であり、図には水平同期信号を示す。）。

【0060】入力コンポジット信号は、先ず、低域通過フィルタ4aに供給され、ここである程度帯域を落としてから、スライス処理部4bに送られる。

【0061】そして、図4に示すスライスレベル「SL」を閾値として設定して、信号S4aのレベルが当該レベルSLを下回ったときにこれを同期信号として取り

出す処理を行う。つまり、信号レベルをスライスレベル S\_L と比較して当該レベルを超えたか否かを判断した結果が outputされる。尚、実際には、この他に垂直同期信号の抽出や、奇数フィールド、偶数フィールドの判定等が行われるが、本発明の本旨には直接関係がないので説明を割愛する。

【0062】また、スライス処理において実際には各サンプリングポイントでの取得データがスライスレベルを超えたかどうかを判定しており、そのため、例えば、

(サンプリング用) クロック周波数 (これを「f\_ck」と記す。) と入力ライン周波数 f\_hとの関係が「 $f_{ck} = 858.5 \cdot f_h$ 」の関係を満たす信号が入力された場合に、図5に示すような揺らぎが現れる。

【0063】つまり、図では、信号「Hsync」(水平同期信号) が 868 クロック分の長さと 869 クロック分

$$f_{ck} = \text{line\_ck\_ave} \cdot f_h$$

この関係をもとにすると、サンプリングポイントのずれ量を「S\_err」と記し、各 1H 遅延線のディレイ量を「DL」と記すとき、下式 (2) からずれ量を求めるこ

$$S_{err} = DL - \text{line\_ck\_ave} - (1)$$

尚、1H 遅延線のディレイ量「DL」(現時点での遅延量を示し、「 $1H + \delta$ 」( $\delta$  は  $\delta < 0$ 、又は  $\delta \geq 0$  の変化量を示す。) である。) についてはクロック数に換算した値で示すので、DL が (1) 式を満たす  $f_h$  に対応する期間に等しい場合には当該期間中のクロック数が  $\text{line\_ck\_ave}$  に一致するので、 $S_{err} = 0$  となる。

【0068】例えば、図5に示す例では、「 $\text{line\_ck\_ave} = 858.5$ 」であるので、858 クロック分や 859 クロック分の期間については、 $\text{line\_ck\_ave}$  を中心としてその前後に 0.5 クロック分のずれ (サンプリングポイントの時間軸方向における位置ずれ) がそれぞれ推定される。

【0069】このようにして、図15で説明した、サンプリングポイントのずれ量を算出することができる。

【0070】図6及び図7はクロマデコード部5を構成するPLL回路の働きについて示すものであり、図6は要部の構成例を示す。

【0071】尚、同期検波回路18は、図2に示した2つの同期検波回路15、16をひとまとめにして1つの回路として示したものである。

【0072】同期検波回路18の出力信号C\_r、C\_bは位相差検出回路19に送出され、ここで両者の位相差が検出される。そして、位相差検出回路19の出力信号は積分回路20を経て移相器21に送られるとともに、乗数部22に送られてレベル調整を受けてから積分回路23に送られる。

【0073】積分回路23の出力信号は(周波数)加算器24に送られてここで基準周波数と加算された信号が発振器25及びディレイ量演算部26に送られる。

の長さとが交互に繰り返される様子を示しており、当該信号の立ち下がりから次の立ち下がりまでのクロック数をカウンタ (図示せず。) で計数してその平均値を求める、ライン周波数  $f_h$  のおおよその値が求められる (本例では平均値が 858.5 と算定される。)。

【0064】このように、同期信号の立ち下がりから次の立ち下がりまでの期間に亘って計数されるクロック数の平均値 (以下、これを「line\_ck\_ave」と記す。) を求めることでサンプリングポイントのずれ量を算出することができる。

【0065】即ち、ライン周波数  $f_h$  に変動が全く無い場合には、当該周波数とクロック周波数との間に下式 (1) に示す関係が成立する。

【0066】

$$- (1)$$

とができる。

【0067】

$$- (2)$$

【0074】そして、発振器25により発生される信号は移相器21を介して同期検波回路18に送出される。

【0075】PLL方式の同期検波では、入力信号 (搬送色信号) に対して位相ロックにより周波数及び位相の一致した内部発振信号 (あるいは局部搬送波信号) が発振器25により生成され、これが移相器21を経て (R-Y 軸に係る 90° 進相)、同期検波回路18に送られて平衡検波される。

【0076】基準周波数設定部27は、同期分離された水平同期信号から求めたライン周波数の平均値 (以下、これを「 $f_h\_ave$ 」と記すが、これに限らず、1H 遅延線のディレイ量 (現在値) を用いても良い。尚、これについては後で詳述する。) に基づいて、発振器25における初期の基準周波数 (これを「 $f_{sc0}$ 」と記す。) を規定する。

【0077】発振器25により初期の基準周波数  $f_{sc0}$  で発振する内部発振信号を生成して、これと入力信号とを位相比較する。そして、その結果をもとに誤差 (これを「 $\Delta f_{sc}$ 」と記す。) を内部発振信号に対してフィードバックする。つまり、図6では積分回路23によって得られる誤差  $\Delta f_{sc}$  を  $f_{sc0}$  に加算した周波数  $f_{sc}$  (=  $f_{sc0} + \Delta f_{sc}$ ) をもった内部発振信号が得られるようになる。入力信号 (その周波数を「 $f_{sci}$ 」と記す。) に対して内部発振信号の位相ロックが完了すると、「 $f_{sci} = f_{sc}$ 」となる。これによって入力信号と内部発振信号との位相関係が一致する。図7には、C信号 (搬送色信号) と内部発振信号「 $S_f_{sc}$ 」を概略的に示す。

【0078】尚、内部発振信号の基準周波数については、信号フォーマット上で決められている  $f_h$  と  $f_{sc}$  との規定関係及び上記 (1) 式で求めた結果から演算す

る。NTSC方式について具体的に示せば下式のようになる。

$$\begin{aligned} \text{【0079】 } f_{sc0} &= (910/4) \cdot f_h \\ f_h &= f_{ck}/\text{line\_ck\_ave} \quad (\because \text{上記}) \\ f_{sc0}/f_{ck} &= 910/(4 \cdot \text{line\_ck\_ave}) \end{aligned}$$

つまり、 $\text{line\_ck\_ave}$ については上記したように同期信号の平均的周期を求めて、これが何クロック分に相当するかを計算すれば分かるので、これをもとに、 $f_{sc0}$ と $f_{ck}$ との比が、 $910/(4 \cdot \text{line\_ck\_ave})$ となるように初期周波数を設定してPLL回路を動作させれば良い。最終的に「 $f_{sc} = f_{sci}$ 」の状態（ロック状態）となったときに、「 $\Delta f_{sc} = f_{sc} - f_{sc0}$ 」の関係から分かるように、 $\Delta f_{sc}$ は、入力搬送波周波数と、ライン周波数の $(910/4)$ 倍との誤差となっている。即ち、この $\Delta f_{sc}$ が何クロック分に相当するかを求めるためにディレイ量演算部26が設けられており、これによって図16で説明した、 $f_{sc}$ と $f_h$ との規定関係におけるずれ量が算出される。

**【0080】**しかし、上記(2)式から求まるずれ量 $S_{e_r}$ と、(3)式及び「 $\Delta f_{sc} = f_{sc} - f_{sc0}$ 」から求まるずれ量との和を計算し（この和が何クロック分に相当するかを求める。）、その分だけ1H遅延線DL1乃至DL4のディレイ量を補正する（位相ずれが進み方向の場合にはディレイ量を1Hよりも大きくして遅らせ、遅れ方向の場合にはディレイ量を1Hよりも小さくして進ませることで、ずれ量を相殺し又は低減する。）ことによって、図15乃至図17で説明した不都合を解消することができる。

**【0081】**尚、 $\Delta f_{sc}$ を知るには $f_{sc}$ と $f_{sc0}$ が必要であるが、 $f_{sc0}$ についてはディレイ量演算部26が基準周波数設定部27からの初期設定周波数を参照することで把握することができる。勿論、これに限らず、ディレイ量演算部26は積分器23からの信号を受けて $\Delta f_{sc}$ を直接的に知ることもできる。

**【0082】**また、ディレイ量演算部26には同期分離回路4からの平均ライン周波数( $f_h\_ave$ )が送られてくるようになっており、これと1H遅延線のディレイ量（現在値）から(2)式を使ってずれ量 $S_{e_r}$ が算出される。

**【0083】**このように、ディレイ量演算部26や基準周波数設定部27を用いてディレイ量制御手段28が構成されており、これらにより演算された位相誤差や周波数誤差に基づいて各1H遅延線のディレイ量が自動補正（調整）される。つまり、これらの回路部では、ライン周波数 $f_h$ の平均値と、樹形フィルタを構成する遅延線に係る現時点でのディレイ量との差を求める演算によって入力信号（複合映像信号）に対するサンプリングポイントのずれ量 $S_{e_r}$ を算出するだけでなく、樹形フィルタにおいて分離された搬送色信号に対して位相同期ループ回路がロック状態となったときの色副搬送波周波数

(1)式より)

$$\therefore f_{sc0} = (910/4) \cdot (f_{ck}/\text{line\_ck\_ave})$$

あるいは

$$f_{sc0}/f_{ck} = 910/(4 \cdot \text{line\_ck\_ave}) \quad - (3)$$

と、位相同期ループ回路内に発振回路により発生される内部発振信号の初期周波数 $f_{sc0}$ との間の周波数差を検出し、当該周波数差に基づいて搬送波周波数 $f_{sc}$ とライン周波数 $f_h$ との規定関係（NTSC方式では「 $910/4$ 」を係数とする比例関係）についてのずれ量を求めて、これをサンプリングポイントのずれ量に加算した結果を演算により算出する。そして、この加算結果を相殺し又は低減させるように制御信号S\_DLを各1H遅延線に送出してそれらのディレイ量を可変制御する。

**【0084】**尚、1H遅延線についてディレイ量を可変制御するには、例えば、メモリを制御するコントロール回路にコンパレータを設けた構成を用いる方法が挙げられる。

**【0085】**図8は可変ディレイ回路の基本的構成例29を示したものであり、SRAM(Static Random Access Memory)やDRAM(Dynamic Random Access Memory)等のメモリ素子30とそのメモリコントロール回路31を備えている。

**【0086】**つまり、メモリコントロール回路31は、入力端子「in」からの入力データをメモリ素子30に取り込んで、当該素子に一旦記憶させてから、ディレイ量（制御量であり、上記信号S\_DLにより指示される。）に応じたタイミングをもって当該データを読み出して出力端子「out」に送出するために制御を行う。

**【0087】**図9は1Hディレイ回路の具体的な構成例を示したものであり、本例ではメモリ素子としてデュアルポート(Dual Port) SRAM32が用いられている。

**【0088】**メモリコントロール部33には、コンパレータ34と、カウンタ35、ラッチ回路36（図には記号「D」を付して示す。）が設けられており、コンパレータ34への2つの入力の一方にはディレイ量（制御量）を示す信号が入力され、他方の入力にはカウンタ35の出力が入力されるようになっており、両者の比較結果がカウンタ35に信号「LD」（ロード信号）として送られる。そして、カウンタ35の出力がそのままデュアルポートSRAM32に読み出しあドレス(Read Address)信号として送られるとともに、カウンタ35の出力がラッチ回路36を経て遅延されたものがデュアルポートSRAM32に書き込みアドレス(Write Address)信号として送られる。

**【0089】**つまり、デュアルポートSRAM32は、入力端子「in」からのデータを受けて、ラッチ回路からの信号に応じて記憶させるとともに、カウンタ35の出力信号に応じて記憶データを読み出してから当該デー

タを出力端子「out」に送出するが、これらはコンパレータ34においてディレイ量とカウンタ35の出力とが一致したときのタイミングに従って行われる。よって、この回路を図2の各1H遅延線に用いて、ディレイ量の設定内容を変化させれば良い。

【0090】この他、図10に示す構成例37のように、縦列接続された多数のラッチ回路（あるいは遅延回路）38、38、…（図には記号「D」を付して示す。）と、ディレイ出力選択用のセレクタ39とを設けた構成も可能である。つまり、この場合には、入力端子「in」からのデータが各ラッチ回路38を順次に経ることによって遅延時間を異なる多数のディレイ出力が得られるので、各ラッチ回路38からそれぞれ出力されるディレイ出力のうち、ディレイ量（制御量）に対応するものをセレクタ39で選択して端子「out」から出力すれば良い。但し、本構成では各ディレイ出力を選択するセレクタ39の回路構成素子数がラッチ回路38の数の増加に伴って増大するので、回路規模の小型化という観点では図9に示す構成の方が現実的である。

【0091】以上に説明した手順を箇条書きにしてまとめる以下のようにになる。

【0092】（1）複合映像信号から同期信号を分離し、ライン周波数について平均値（line\_ck\_ave）を求める

（2）（1）で求めた平均値と、1H遅延線について現時点で設定されているディレイ量からサンプリングポイントのずれ量を求める（前記した（1）式、（2）式を参照。）

（3）（1）で求めた平均値に基づいて、色復調処理におけるPLL同期検波での初期発振周波数（fsc0）を決定する（上記した（3）式を参照。）

（4）PLL回路において入力信号（搬送色信号）と内部発振信号との間で同期をとり（位相ロック）、搬送波の周波数誤差（Δfsc）を求める

（5）（4）で求めた周波数誤差をクロック数に換算することにより、fhとfscとの関係についてずれ量を求める

（6）（2）と（5）で求めたずれ量の和をとり、これを相殺（又は最小化）するように1H遅延線のディレイ量を変化させることによりフィードバック制御を行う。

【0093】つまり、（1）では同期分された水平同期信号Hsyncの1周期分が何クロックに相当するかを計数してライン周波数の平均値（fh\_ave）を算出することで位相ずれ量のおおよその値を求めておき、（3）でfsc0の初期値として「 $f_{sc0} = (910/4) \cdot f_{h\_ave}$ 」（NTSCの場合）に設定してPLLによる同期処理を行う。これにより入力信号の色副搬送波の周波数fscが得られるので、この結果からfscを910/4分周することで正確なライン周波数fhを求めることができる。

【0094】従って、水平同期信号に基づいてfhの大きな値を求めておいてから、色副搬送波についてさらに詳細な周波数値を求めて、1H遅延線のディレイ量を自動的に調整することで適正なライン周波数をもってデコード処理を行うことができる。

【0095】尚、上記に示したディレイ量の算出方法では、内部発振信号の初期周波数fsc0をライン周波数の平均値fh\_aveに基づき、放送方式においてfscとfhとを規定する関係式に従って決定したが、これはあくまで一例であり、例えば、下記に示す手順（I）乃至（IV）のように、内部発振信号の初期周波数fsc0を、現時点における遅延線のディレイ量に基づいて決定する方法を用いて最適なライン周波数を求めることができる。

【0096】（I）複合映像信号から同期信号を分離し、ライン周波数について平均値を求める

（II）現時点における1H遅延線のディレイ量に基づいてPLL同期検波での初期発振周波数（fsc0）を決定する。例えば、NTSC方式の場合に、1H遅延線のディレイ量に対応する周波数を「fh\_1hd1」と記すとき、「 $f_{sc0} = (910/4) \cdot f_{h\_1hd1}$ 」を用いる（III）（II）で決定したfsc0を初期値として、PLL回路で入力信号と内部発振信号との間で同期をとり、ロック状態にする。但し、PLLにおいて1ライン当たりで数周期ずれた周波数をもってロックする可能性があるので、（1）で求めたライン周波数の平均値fh\_aveを参照して、現在の位相誤差が収束した際の周波数が正しいか否かを判定する。

【0097】（IV）（III）で周波数が正しいと判定された場合には、上記した（4）乃至（6）と同じ手順を踏む。

【0098】図11及び図12は手順（III）における判定法について説明するための図であり、これらの図は1H遅延線のディレイ量に基づく周波数fsc0の発振信号（搬送波信号）を基準とした場合に、PLLのロック時の内部発振信号の位相を示すベクトル図（位相図）である。

【0099】上記のように、基準周波数を「 $f_{sc0} = (910/4) \cdot f_{h\_1hd1}$ 」（NTSCの場合）によって決めた場合には、サンプリングにおける周波数誤差と、fhとfscとの関係ずれによる誤差との総和が周波数差Δfscに現れるが、PLLにおける周波数の引き込み範囲には限界があるので、これを越えた周波数では、所望の周波数とは異なる周波数で位相ロックしてしまうことになる。

【0100】そこで、これに対処するには同期分離された水平同期信号から求めた平均ライン周波数fh\_aveを使って、現在のロックした周波数が適当であるか如何を判断すべきである。

【0101】図11において、ベクトル「V0」は、1H遅延線のディレイ量（現在値）を基準とした周波数f

sc0の内部発振信号の位相を示しており、NTSC方式では、PLLの周波数引き込み範囲が、矢印「A」、「B」に示すように、これを基準として $-180^\circ$ 乃至 $+180^\circ$ の位相範囲に制限される。

【0102】従って、ベクトル「V270」で示すように実際の位相誤差が $270^\circ$ であったとしても、位相差検出の範囲が $-180^\circ$ 乃至 $+180^\circ$ に制限されることに起因して、「 $-90^\circ$ 」と検出されることになる。つまり、この例では、「 $270^\circ - (-90^\circ) = 360^\circ$ 」とされて1周期ずれた位相でロックがかかってしまう。

【0103】これを避けるには、PLLのロック状態で収束したときの位相誤差が、サンプリングの周波数ずれと、 $f_h$ と $f_{sc}$ の間の周波数関係のずれとの和となることを利用する。即ち、サンプリングの周波数ずれを示すずれ量 $S_{e_r}$ は、(2)式に示したように、同期分離された水平同期信号についてライン周波数 $f_h$ の平均値と、1H遅延線のディレイ量(現在値)から求められるので、このずれ量に基づいて搬送波の位相ずれを判断することができる。

【0104】例えば、図12において、ベクトル「Vx」とベクトル「V0」とは $90^\circ$ の角度間隔をもっており、位相誤差としては $+90^\circ$ と $-270^\circ$ の可能性がある。

【0105】しかしながら、ずれ量 $S_{e_r}$ の示す位相誤差が、例えば、 $+180^\circ$ であるとした場合(図に示すべきトル「V180」を参照。)には、 $-270^\circ$ ではありえず、 $+90^\circ$ と判定される(搬送波の位相ずれ量が規格化されているため、 $+180^\circ$ との差が大きくずれない方が選ばれる。つまり、VxはV180に対して $+90^\circ$ の位相差をもつ。)。

【0106】このように、位相誤差として幾つかの可能性がある場合には、ライン周波数の平均値 $f_h_{ave}$ と1H遅延線の現在のディレイ量から求まるずれ量 $S_{e_r}$ の示す位相誤差に基づいてこれに近いものを選択すれば良い(これは、ずれ量 $S_{e_r}$ による誤差に比して、搬送波の周波数誤差 $\Delta f_{sc}$ が小さいことに依る。)。即ち、1H遅延線のディレイ量(現在値)とライン周波数 $f_h$ の平均値との差から求まるサンプリングポイントのずれ量 $S_{e_r}$ を参照することにより、周波数差 $\Delta f_{sc}$ に起因する位相ずれについて推定される複数の候補のうち、ずれ量 $S_{e_r}$ から大きく外れないものを正当な位相誤差と判定することができる。

【0107】尚、手順(I)による $f_h$ の平均値については手順(I II)の前までに知られていれば良いので、(I)と(I II)の順番を逆転させる等の変更は何等構わない。

【0108】以上に説明したように、本発明では、フリーランクロックシステムを用いたデコード処理において、図15や図16で説明した位相誤差や周波数誤差の

問題を解決するために、輝度復調や色復調の後で位相合わせの補正を行うことなく、同期信号や搬送波信号を用いて、サンプリングポイントや搬送波周波数に係る誤差を求めて、1H遅延線のディレイ量を自動調整することで常に適正なライン周波数が得られるように制御している。これによって、複合映像信号から輝度信号と色信号を分離する樹型フィルタの能力を最大限に發揮させることができ可能になる。尚、サンプリングポイントの誤差は、分離された水平同期信号からライン周波数 $f_h$ の平均値と、樹型フィルタを構成する遅延線に係る現時点でのディレイ量との差から求まる、サンプリングポイントのずれ量に起因し、また、搬送波周波数に係る誤差は、色復調における位相同期ループ回路がロックしたときの色副搬送波周波数と、位相同期ループ回路内の発振回路により発生される内部発振信号の初期周波数との間の周波数差 $\Delta f_{sc}$ に相当する、色副搬送波周波数 $f_{sc}$ とライン周波数 $f_h$ との規定関係についてのずれ量に起因する。

【0109】特に、同期信号や搬送波信号の両方を用いて誤差を正確に求めて、1H遅延線のディレイ量を自動調整することでライン周波数を適正化することが好ましい。

【0110】しかして、上記した回路構成及び制御方法によれば、フリーランクロックシステムにおいて、図15乃至図17で説明した周波数誤差に起因する問題を解消することで画質劣化を防止することができる。また、クロック信号を同期信号や搬送波信号等に同期させる必要がないので部品点数やコストの削減に有利であり、映像処理システムの同期設計において仕様変更等への柔軟性や設計の自由度が増すとともに、クロック信号の同期取りのために必要なアナログ回路を削減することで大規模システムへの組み込みや、1チップ化が容易になるといった各種の利点が得られる。

【0111】尚、上記した構成例では、入力コンポジット信号(複合映像信号)を輝度信号、色信号、同期信号の各コンポーネントに分離するまでの事例について説明したが、マトリックス回路を用いてRGBの原色信号に変換する、コンポジット→RGBデコーダ等への適用が可能であることは勿論である。

【0112】【発明の効果】以上に記載したところから明らかかなように、請求項1や請求項4に係る発明によれば、フリーランクロックを用いた映像信号用デコード装置において、Y/C分離樹型フィルタを構成する場合に、サンプリングポイントの位置ずれについてはライン周波数の平均値と、遅延線のディレイ量(現在値)とから検出して、このずれによる誤差の影響を打ち消し又は低減するように遅延線のディレイ量を補正することにより、ライン相關関係が最も得られるようにライン周波数を常に適正化することができるので、Y/C分離の性能や画質の向上を実現できる。

【0113】請求項2や請求項5に係る発明によれば、 $f_{sc}$ と $f_h$ との規定関係に係る周波数ずれについて周波数差 $\Delta f_{sc}$ から検出し、このずれによる誤差の影響を打ち消し又は低減するように遅延線のディレイ量を補正することにより、ライン周波数について精度良く適正化することができる。

【0114】請求項3や請求項6に係る発明によれば、内部発振信号の初期周波数 $f_{sc0}$ をライン周波数の平均値又は現時点における遅延線のディレイ量に基づいて決定することにより、 $f_{sc0}$ の設定値を容易に得ることができる。

【0115】請求項7に係る発明によれば、内部発振信号の初期周波数 $f_{sc0}$ を、現時点における遅延線のディレイ量に基づいて決定する場合であっても、遅延線の現在のディレイ量とライン周波数 $f_h$ の平均値との差から求まるサンプリングポイントについてのずれ量を参照することにより、周波数差 $\Delta f_{sc}$ に起因する位相ずれについて適正な値を判定することができ、ロックした周波数及び位相の妥当性を判断できる。

#### 【図面の簡単な説明】

【図1】本発明の基本構成を示すブロック図である。

【図2】要部の構成例を示すブロック図である。

【図3】同期分離回路の構成について要部を示す図である。

【図4】同期分離処理について説明するための概略的な波形図である。

【図5】同期信号について周波数の揺らぎを示す説明図である。

【図6】図7とともにクロマデコード部を構成するPLL回路の働きについて示す図であり、本図は要部の構成

例を示す。

【図7】搬送色信号と内部発振信号を概略的に示した波形図である。

【図8】ディレイ量の可変制御のための回路構成について基本構成例を示す図である。

【図9】1Hディレイ回路の構成について具体例を示す図である。

【図10】1Hディレイ回路の構成について別の具体例を示す図である。

【図11】図12とともに、ライン周波数の平均値を参照して、現在の位相誤差が収束した周波数についての判定法を説明するための図であり、本図は位相誤差の推定における問題を説明するためのベクトル図である。

【図12】サンプリングポイントのずれに起因する位相ずれとして $180^\circ$ を想定した場合の位相差判定の仕方を説明するためのベクトル図である。

【図13】3ライン型樹形フィルタの一般的な構成例を示す図である。

【図14】樹形フィルタの原理について説明するための図である。

【図15】サンプリングポイントの位相ずれとライン間の関係について説明するための図である。

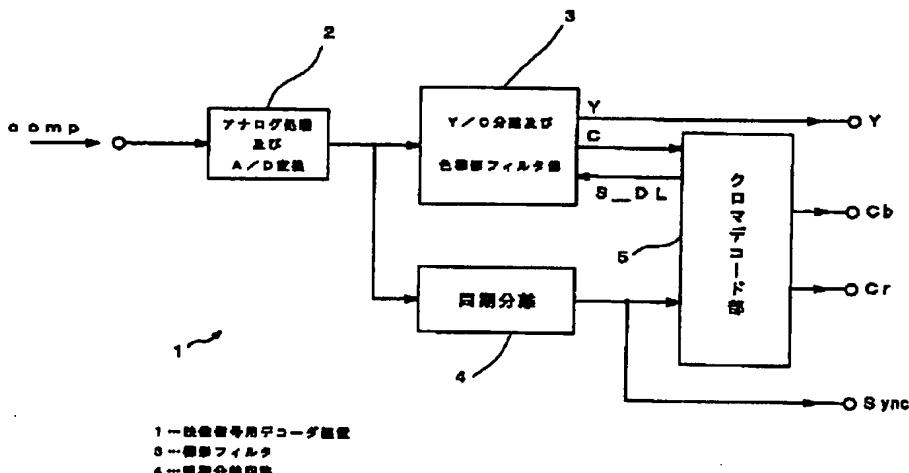
【図16】ライン周波数と色副搬送波周波数との間の誤差について説明するための図である。

【図17】図15や図16に示した位相ずれを合計した誤差について説明するための図である。

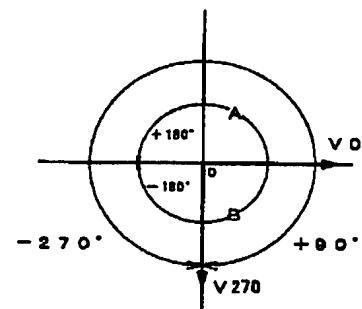
#### 【符号の説明】

1…映像信号用デコーダ装置、3…樹形フィルタ、4…同期分離回路、28…ディレイ量制御手段、DL1、DL2、DL3、DL4…遅延線

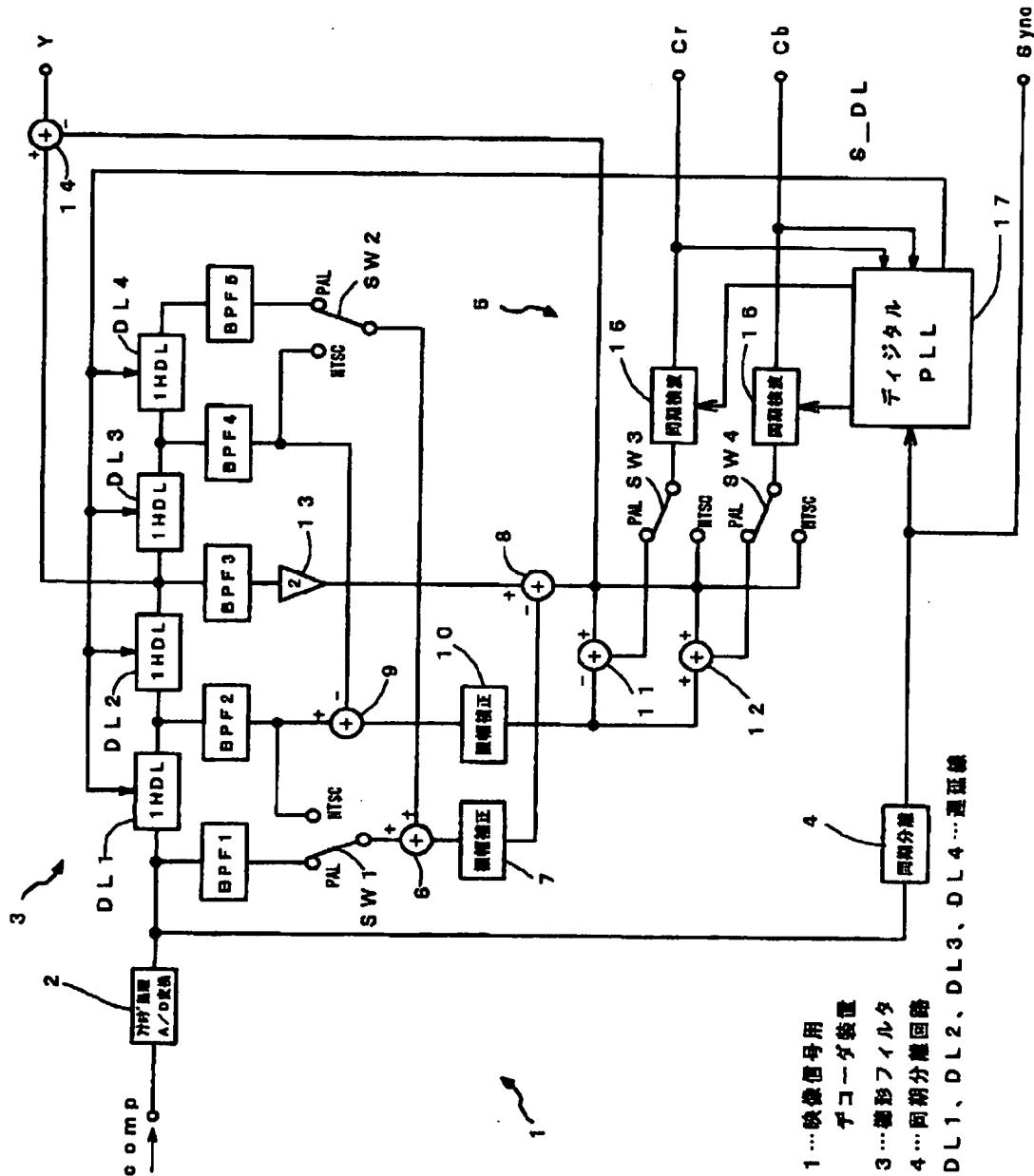
【図1】



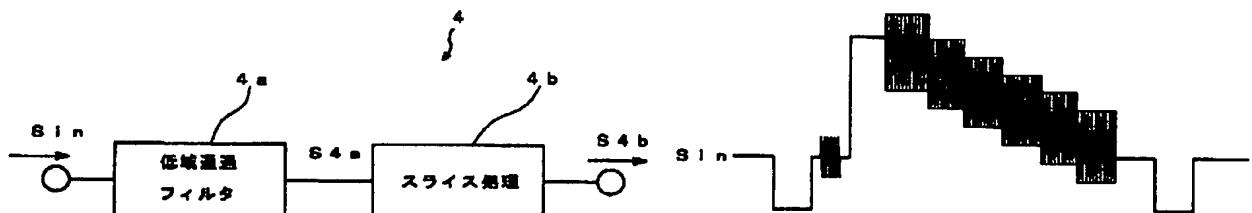
【図11】



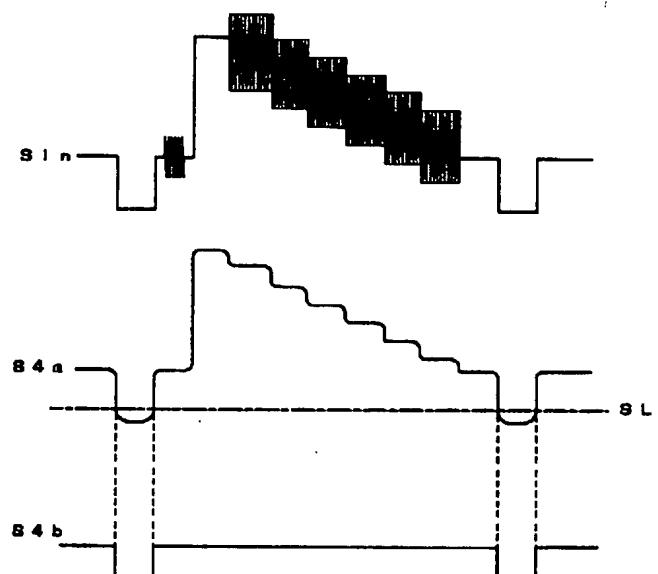
【図2】



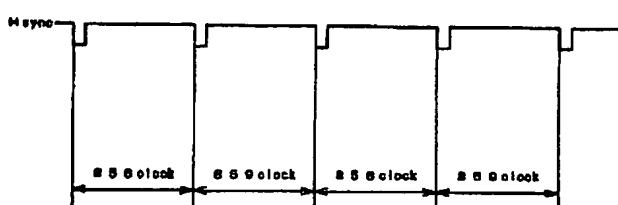
[図3]



[图4]

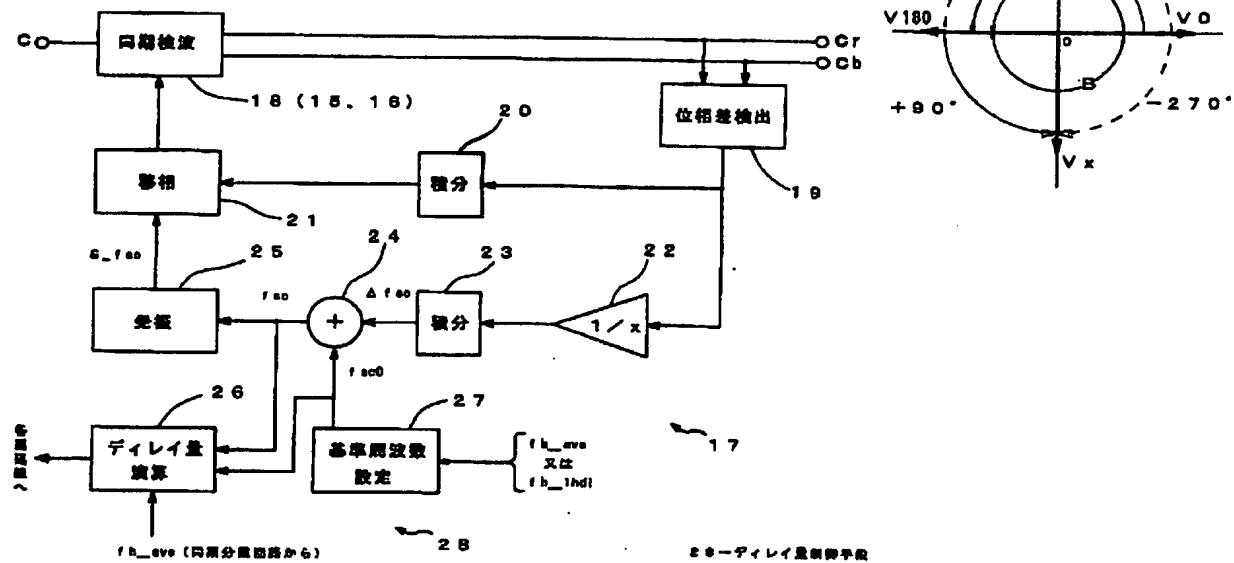


[图 5]

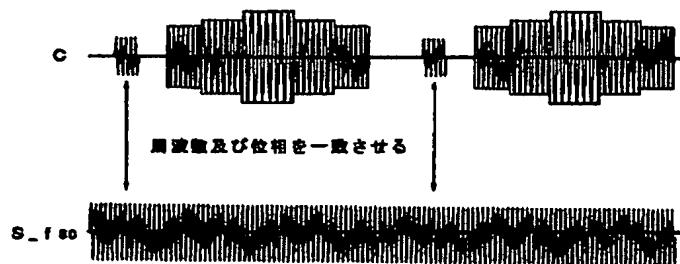


[図12]

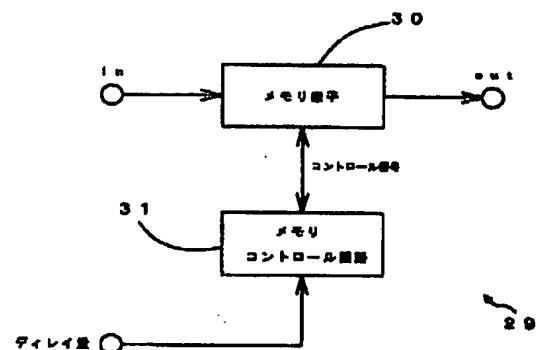
[图 6]



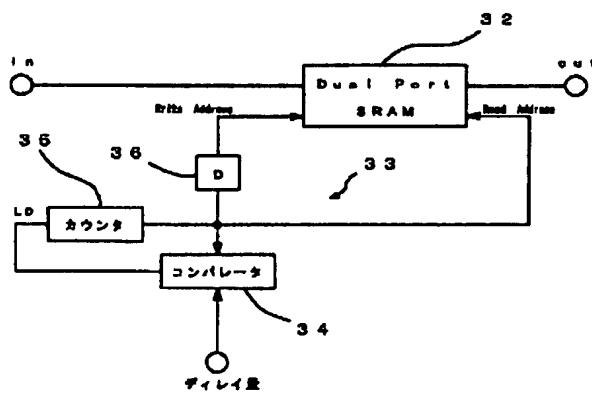
【図7】



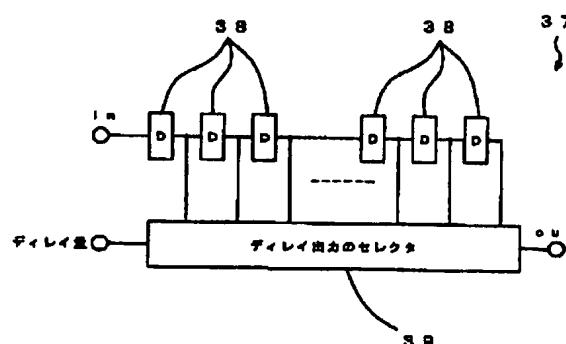
【図8】



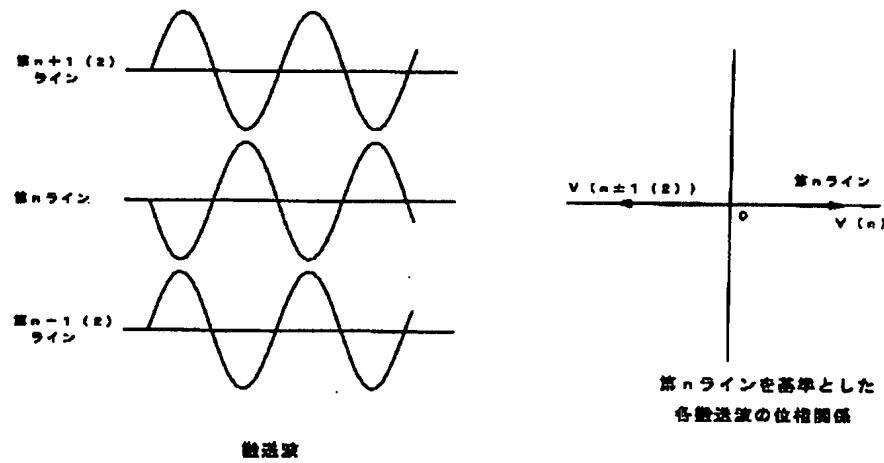
【図9】



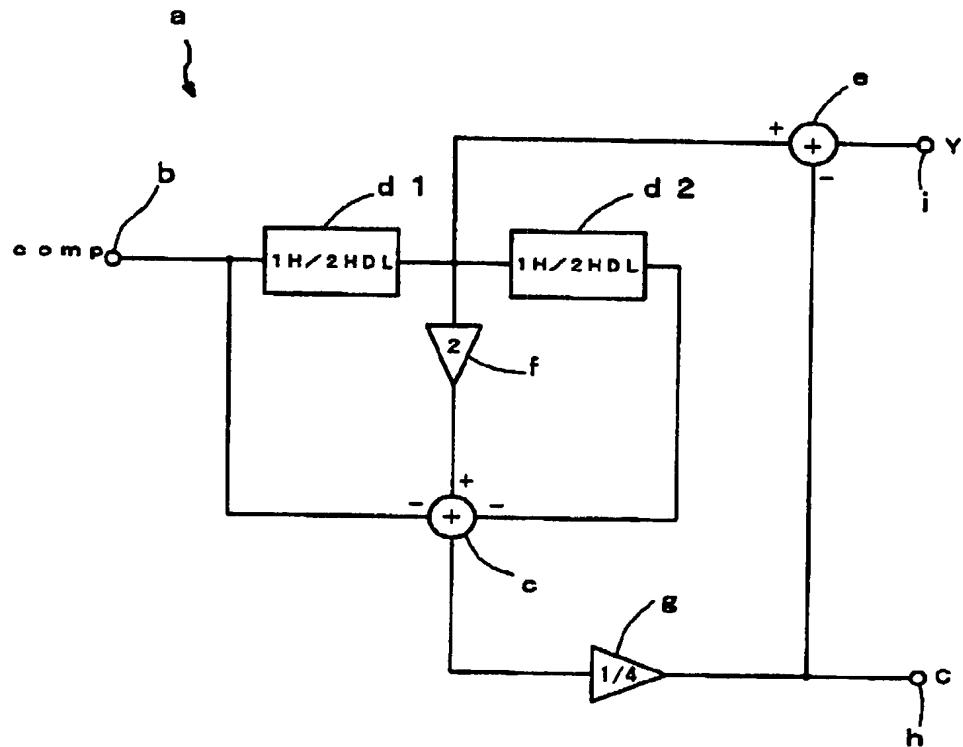
【図10】



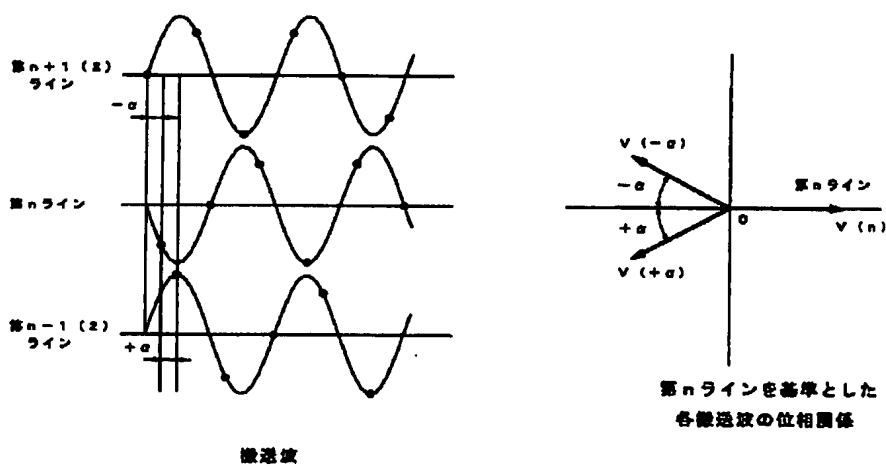
【図14】



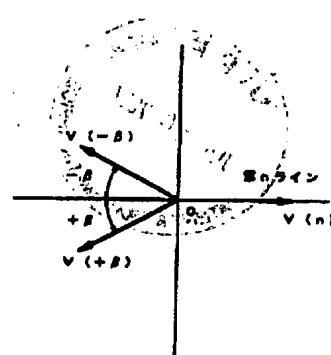
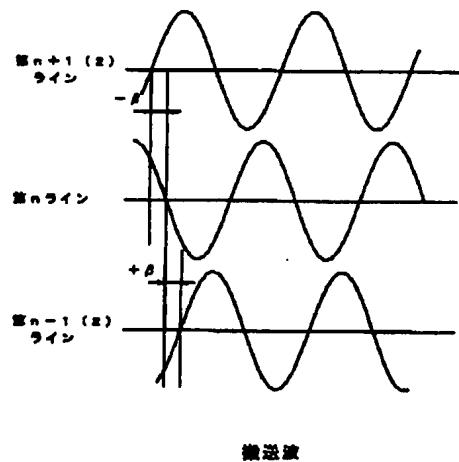
【図13】



【図15】



【図16】



【図17】

